

**JP2000243753 A**

**METHOD FOR FORMING METAL WIRING OF SEMICONDUCTOR  
ELEMENT**

**LG SEMICON CO LTD**

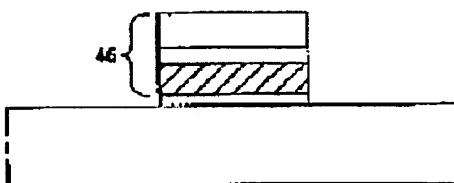
**Inventor(s):RA SA GYUN**

**Application No. 11198871 JP11198871 JP, Filed 19990713,A1 Published  
20000908Published 20000908**

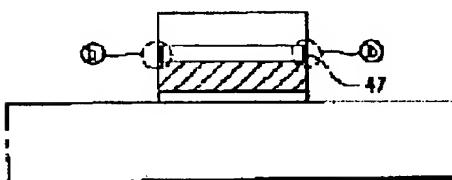
**Abstract:** PROBLEM TO BE SOLVED: To effectively restrict abnormal oxidation, when a metal wiring is formed by the use of tungsten or tungsten silicide.

**SOLUTION:** This method for forming a metal wiring of a semiconductor element comprises the steps of forming a gate oxide film on a semiconductor substrate 41 to form a conductive line on the gate oxide film, nitriding a surface in which the conductive line is exposed, and oxidizing the semiconductor substrate 41 containing the conductive line formed with a tungsten nitride layer 47 on the exposed surface.

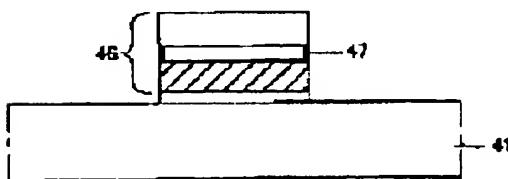
**(a)**



**(b)**



**(c)**



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-243753  
(P2000-243753A)

(43) 公開日 平成12年9月8日(2000.9.8)

(51) Int.Cl.<sup>7</sup>  
H 01 L 21/3205

識別記号

F I  
H 01 L 21/88

テマコード(参考)  
Q 5 F 0 3 3

審査請求 未請求 請求項の数7 OL (全9頁)

(21) 出願番号 特願平11-198871  
(22) 出願日 平成11年7月13日(1999.7.13)  
(31) 優先権主張番号 5854/1999  
(32) 優先日 平成11年2月22日(1999.2.22)  
(33) 優先権主張国 韓国(KR)

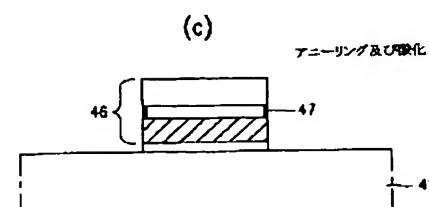
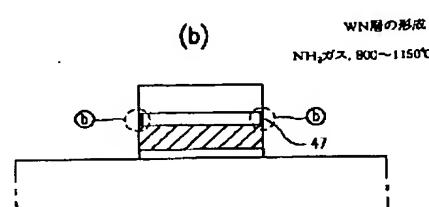
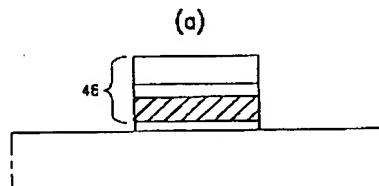
(71) 出願人 596034274  
エルジー セミコン カンパニー リミテッド  
大韓民国、チューンチエオンプクード、チエオンジュ、フンドクーダ、ヒヤングジエオンドン、1  
(72) 発明者 ラ サ ギュン  
大韓民国 ソウル ズンリヤンゲ ミョンモグ-5 ドン 161-1  
(74) 代理人 100068755  
弁理士 恩田 博宣  
F ターム(参考) 5P033 HH04 HH19 HH28 HH34 MM05  
MM07 MM10 QQ73 QQ76 QQ78  
QQ85 VV06 WW03 XX20

(54) 【発明の名称】 半導体素子の金属配線の形成方法

(57) 【要約】

【課題】 タングステン又はタングステンシリサイドを用いて金属配線を形成するに際して、異常酸化を効果的に抑制することのできる半導体素子の金属配線の形成方法を提供する。

【解決手段】 半導体素子の金属配線の形成方法は、半導体基板41上にゲート酸化膜42を形成し、そのゲート酸化膜42上に導電性ラインを形成する段階と、前記導電性ラインの露出された表面を窒化処理する段階と、露出された表面に窒化層47が形成された導電性ラインを含む半導体基板41を酸化処理する段階とを備える。



## 【特許請求の範囲】

【請求項1】 半導体基板上に絶縁物質層を形成し、絶縁物質層上に導電性ラインを形成する段階と、前記導電性ラインの露出した表面を窒化処理する段階と、前記露出した表面に窒化層が形成された導電性ラインを含む半導体基板を酸化処理する段階とを備えることを特徴とする半導体素子の金属配線の形成方法。

【請求項2】 導電性ライン形成工程は、ポリシリコン層上にタンガステン又はタンガステンシリサイド層を積層する工程を含むことを特徴とする請求項1記載の半導体素子の金属配線の形成方法。

【請求項3】 導電性ラインの窒化処理をNH<sub>3</sub>ガスを用いて行うことを特徴とする請求項1記載の半導体素子の金属配線の形成方法。

【請求項4】 窒化処理段階は、NH<sub>3</sub>ガスを窒素と水素とに分離するアニーリング工程と、分離された水素により導電性ラインの表面又は結晶粒界内の酸化物を還元作用により除去する工程とを含むことを特徴とする請求項3記載の半導体素子の金属配線の形成方法。

【請求項5】 半導体基板上にゲート酸化膜を形成し、ゲート酸化膜上にポリシリコン層を形成する工程と、前記ポリシリコン層上にタンガステン層を形成する工程と、

前記タンガステン層上にキャップゲート層を形成し、前記積層されたキャップゲート層、タンガステン層、ポリシリコン層、及びゲート酸化膜を選択的にパターニングしてゲートラインを形成する工程と、前記タンガステン層を窒化処理してパターニングされたゲートラインの側面にタンガステン窒化物層を形成する工程と、前記タンガステン窒化物層を酸化防止膜として、パターニングされたゲートラインを含む半導体基板を酸化処理する工程とを備えることを特徴とする半導体素子の金属配線の形成方法。

【請求項6】 ゲートラインのパターニング後の窒化及び酸化処理工程は、 RTP装置内に半導体基板をローディングする段階と、ローディング動作の完了後、N<sub>2</sub>/NH<sub>3</sub>ガス雰囲気の室温状態でページ動作を行ってウェーハに残存する酸素を除去する段階と、NH<sub>3</sub>ガス雰囲気で800～1150℃の温度でアニーリング工程を行って、タンガステン層の表面又は結晶粒界内の酸化物を除去し、露出された表面にタンガステン窒化物層を形成する段階と、タンガステン窒化物層を酸化防止膜とし、酸化工程を行う段階と、酸化工程の完了後、温度を500～700℃に低め、N<sub>2</sub>ガス雰囲気を維持する段階とを含むことを特徴とする

## 請求項5記載の半導体素子の金属配線の形成方法。

【請求項7】 ゲートラインのパターニング後の窒化及び酸化処理工程は、半導体基板を真空炉または真空RTP装置内にローディングする段階と、ウェーハのローディングの完了後、真空ポンピングによりウェーハに残存する酸素を1次除去する段階と、N<sub>2</sub>/NH<sub>3</sub>ガス雰囲気の室温状態でページ動作を行ってウェーハに残存する酸素を2次除去する段階と、NH<sub>3</sub>ガス雰囲気で800～1150℃の温度でアニーリング工程を行って、タンガステン層の表面又は結晶粒界内の酸化物を除去し、露出された表面にタンガステン窒化物層を形成する段階と、タンガステン窒化物層を酸化防止膜として、酸化処理を行う段階と、酸化工程の完了後、温度を500～700℃に低め、N<sub>2</sub>ガスを用いたページ工程で不純物を除去する段階とを含むことを特徴とする請求項5記載の半導体素子の金属配線の形成方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体素子に関し、特にタンガステン或いはタンガステンシリサイドを用いて金属配線を形成するに際して異常酸化を効果的に抑制することができる半導体素子の金属配線の形成方法に関する。

## 【0002】

【従来の技術】半導体素子の高集積化の傾向に従って、金属配線だけでなくゲートラインやビットラインの場合も素子動作速度の低下をもたらす。すなわち、配線の線幅の減少により抵抗が増加し、この抵抗の増加によりRC遅延時間が増加し、これにより最終的に素子の特性が低下する。この配線の抵抗率の増加問題を解決するために、ゲートライン又はビットラインをタンガステンまたはタンガステンシリサイド等の金属を用いて形成する方法が提案されている。すなわち、その方法とは、ポリシリコン層上にタンガステンシリサイドWSix、チタンシリサイドTiSi<sub>2</sub>、或いはコバルトシリサイドCoSi<sub>2</sub>などの高融点金属シリサイドを形成して金属配線の抵抗率の増加問題を解決しようとするものである。

【0003】以下、添付図面を参照して従来技術の半導体素子の金属配線の形成方法を説明する。図1は従来技術の金属配線の形成工程の流れ図であり、図2(a)～図3(b)は従来技術の金属配線の形成方法を示す断面図である。

【0004】従来技術のタンガステンまたはタンガステンシリサイドを用いた金属配線の工程は下記の手順である。まず、素子隔離のためのフィールド領域を基板上に定義し、ウェル拡散領域の形成のためのイオン注入及びしきい値電圧の調節のためのイオン注入工程を行った後、ゲートラインのパターニングを行う。ゲートライン

のパターニング工程は、基板上にゲート酸化膜を形成し、ゲート酸化膜上にポリシリコン、タングステン（又はタングステンシリサイド）、キャップゲート層を順次積層し、パターニング工程を行う。このように、ゲートラインのパターニング工程を終えた後、ゲートラインのパターニング工程での食刻損傷及びゲート酸化膜の損失を補償するために酸化工程を行う。

【0005】かかる従来技術の半導体素子の金属配線の形成工程は、まず、図2(a)に示すように、半導体基板21にフィールド領域を定義し、ウェル領域の形成及びしきい値電圧Vtの調節のためのイオン注入(図示せず)工程を行い、ゲート酸化膜22を形成する。次いで、前記ゲート酸化膜22上にゲート形成用物質層、例えばポリシリコン層23を形成する。

【0006】図2(b)に示すように、前記ポリシリコン層23上にタングステン層(又はタングステンシリサイド層)24を形成する。図2(c)に示すように、前記タングステン層24上にキャップゲート層25を形成する。

【0007】図3(a)に示すように、前記積層形成されたキャップゲート層25、タングステン層24、ポリシリコン層23、およびゲート酸化膜22を選択的に食刻してゲート電極26を形成する。

【0008】図3(b)に示すように、前記ゲート電極26のパターニング工程時に基板21に加えられたストレスを補償するために酸化工程を行う。酸化工程は、N<sub>2</sub>/O<sub>2</sub>ガス雰囲気中で行うが、その手順は下記の通りである。ゲートラインのパターニング後のウェーハを、炉又はRTP(Rapid Thermal Process)装置内にローディングする。このとき、ウェーハのローディング時の装置内の工程条件はN<sub>2</sub>ガス雰囲気で500～700℃の温度を保持する。ウェーハのローディングの完了後、装置内の温度を800～900℃程度に高める。そして、N<sub>2</sub>ガス雰囲気で800～900℃の温度でアニーリング工程を行った後に酸化工程を行う。ここで、酸化工程は、800～900℃の温度を維持した状態で装置内にN<sub>2</sub>/O<sub>2</sub>ガスを流入させて行われる。酸化工程の完了後、装置内部の温度を500～700℃に低め、O<sub>2</sub>ガスの流入を中断する。

【0009】このような酸化工程時に、タングステン又はタングステンシリサイド層が容易に酸化される現象を顧慮しないと、ゲートライン自体の電気的特性を低下させてしまう。

【0010】すなわち、酸化工程中にW又はWSix層中のWが容易に酸化される現象により異常酸化が発生してゲートラインの側面に多数の突出部が形成される。これにより、ゲートライン自体の電気的特性は勿論、ゲート酸化膜の耐圧特性まで低下するようになる。このW又はWSix層の異常酸化現象は、W又はWSix層を用いるビットライン又は金属配線のパターニング後に

も発生する。

#### 【0011】

【発明が解決しようとする課題】上記したような従来技術の半導体素子の金属配線の形成方法においては下記のような問題点があった。

【0012】炉装置を用いて熱処理する場合、ウェーハのローディング時に空気中の酸素の遮断が困難であり、装置内部の温度上昇動作時に流入する酸素によりタングステン又はタングステンシリサイド層が酸化して異常酸化現象が起こる。温度上昇動作においてN<sub>2</sub>バージ機能にて流入する酸素を除去することはできるが、酸化工程時に酸素ガスを使用するためタングステン又はタングステンシリサイド層で起こる異常酸化現象を防ぐことはできない。このタングステン又はタングステンシリサイド層の異常酸化現象は、RTP装置を用いて熱処理する場合にも同様に発生し、これによる金属ラインの特性低下を防ぐことができない。このような異常酸化が起こる場合に、金属ラインの側面に多数の突出部が形成されるため、ライン自体の電気的な特性が低下する。また、ゲートラインの場合には、ゲート酸化膜の耐圧特性まで低下する。この異常酸化現象は、図3(b)の点線部aで集中して発生する。

【0013】本発明は上記の従来技術の金属配線の形成工程の問題点を解決するためになされたものであり、その目的は、タングステン又はタングステンシリサイドを用いて金属配線を形成するに際して異常酸化を効果的に抑制することのできる半導体素子の金属配線の形成方法を提供することにある。

#### 【0014】

【課題を解決するための手段】タングステン又はタングステンシリサイドを用いて金属配線を形成するに際して異常酸化を効果的に抑制することのできる本発明の半導体素子の金属配線の形成方法は、半導体基板上に絶縁物質層を形成し、絶縁物質層上に導電性ラインを形成する段階と、前記導電性ラインの露出された表面を窒化処理する段階と、露出された表面に窒化層が形成された導電性ラインを含む半導体基板を酸化処理する段階とを備えることを特徴とする。

#### 【0015】

【発明の実施の形態】以下、添付図面を参照して本発明の半導体素子の金属配線の形成方法を説明する。

【0016】図4は本発明の一実施形態に従う金属配線の形成工程の流れ図であり、図5(a)～図6(c)は本発明の一実施形態に従う金属配線の製造工程を示す断面図である。

【0017】本発明は、256MのDRAM級以上の素子において、ゲートライン、ビットライン、又は金属配線として使用する高融点金属層または高融点金属シリサイド層、例えばタングステン、タングステンシリサイド等の異常酸化を抑制する方法に関する。特に、高集積素

子のゲートライン、ピットライン、又は金属配線に適するようW又はWSixラインの外壁にタングステン窒化物層WNを形成することにより、後続の熱処理工程時に生じるW又はWSixラインの異常酸化現象を抑制することができる。

【0018】このような本発明による金属配線の形成方法の一実施形態は次の手順に従う。まず、素子隔離のためのフィールド領域を定義し(ステップ50, 52)、ウェル拡散領域の形成のためのイオン注入及びしきい値電圧の調節のためのイオン注入工程(ステップ54)を行った後、ゲートラインのパターニングを行う。ゲートラインのパターニング工程は、基板上に絶縁物質層としてゲート酸化膜を形成し(ステップ56)、ゲート酸化膜上にポリシリコン、タングステン(又はタングステンシリサイド)、キャップゲート層を順次積層し(ステップ58~62)、パターニング工程(ステップ64)を行うことにより導電性ラインを形成する。導電性ライン、例えばゲートライン(又はピットライン又は金属配線)のパターニング工程を終えた後、パターニングされたゲートラインの側面の露出部分にタングステン窒化物層を形成した後、ゲートラインのパターニング工程での食刻損傷及びゲート酸化膜の損失を補償するために酸化工程を行う。

【0019】かかる本発明による半導体素子の金属配線の形成工程は、まず、図5(a)に示すように、半導体基板41にフィールド領域を定義し(ステップ50)、ウェル領域の形成及びしきい値電圧Vtの調節のためのイオン注入(図示せず)工程(ステップ54)を行ってゲート酸化膜42を形成する(ステップ56)。次いで、前記ゲート酸化膜42上にゲート形成用物質層、例えばポリシリコン層43を形成する(ステップ58)。

【0020】図5(b)に示すように、前記ポリシリコン層43上にタングステン層(又はタングステンシリサイド層)44を形成する(ステップ60)。図5(c)に示すように、前記タングステン層44上にキャップゲート層45を形成する(ステップ62)。

【0021】図6(a)に示すように、前記積層形成されたキャップゲート層45、タングステン層44、ポリシリコン層43、ゲート酸化膜44を選択的に食刻してゲート電極46を形成する(ステップ64)。次いで、 RTP装置を用いて基板41に加えられたストレスを補償するために酸化工程を行う。酸化工程は下記の通りである。まず、ウェーハをRTP装置内にローディングする(ステップ66)。この際、ウェーハのローディング時の装置内の工程条件は、N<sub>2</sub>ガス雰囲気で室温状態を保持する。ウェーハのローディング後、N<sub>2</sub>/NH<sub>3</sub>ガス雰囲気の室温状態でページ動作を行ってローディング動作でウェーハに残存する酸素を除去する(ステップ68)。

【0022】図6(b)に示すように、NH<sub>3</sub>ガス雰囲

気で装備内部の工程温度を800~1150℃程度に高めて(ステップ70)、アニーリング工程を行う(ステップ72)。ここで、アニーリング工程でNH<sub>3</sub>ガスを窒素と水素とに分離し、水素はタングステン又はタングステンシリサイドの表面又は結晶粒界内のタングステン酸化物(W oxide)を還元作用により除去する。更に、窒素は、露出されたタングステン又はタングステンシリサイドの表面を窒化してタングステン窒化物層47を形成する。前記タングステン窒化物層47は、異常酸化が主に発生する露出されたタングステン又はタングステンシリサイド層の表面部分(図6(b)の点線で囲まれた部分b)に形成される。ここで、パターニングされたラインがゲートラインの場合には、ポリシリコン層、タングステン層又はポリシリコン層、タングステンシリサイド層の順で積層される構造が主として用いられ、ピットラインの場合にはポリシリコン層、タングステンシリサイド層の順で積層される構造或いはタングステンの単独構造が用いられる。

【0023】図6(c)に示すように、800~1150℃の温度を維持した状態で装置内にN<sub>2</sub>/O<sub>2</sub>ガス又はNO又はN<sub>2</sub>Oガスを流入させて酸化工程を行う(ステップ74)。酸化工程の完了後、装置内部の温度を500~700℃に低め、N<sub>2</sub>ガス雰囲気を保持する(ステップ76)。

【0024】酸化工程において、RTP装置に代えて真空炉又は真空RTPを使用する場合、その酸化工程は次の通りである。図6(a)に示すように、積層形成されたキャップゲート層45、タングステン層44、ポリシリコン層43、ゲート酸化膜44を選択的に食刻してゲート電極46のパターニング工程を終了した後、真空炉又は真空RTP装置内にウェーハをローディングする(ステップ78)。このとき、ウェーハのローディング時の装置内の工程条件は、N<sub>2</sub>ガス雰囲気で室温状態を保持する。ウェーハのローディング後、真空ポンピングによりウェーハに残存する酸素を1次除去する(ステップ80)。次いで、N<sub>2</sub>/NH<sub>3</sub>ガス雰囲気の室温状態でページ動作を行ってウェーハに残存する酸素を2次除去する(ステップ82)。そして、NH<sub>3</sub>ガス雰囲気で装備内部の工程温度を800~1150℃程度に高めて(ステップ84)、アニーリング工程を行う(ステップ86)。ここで、アニーリング工程でNH<sub>3</sub>ガスを窒素と酸素とに分離し、水素はタングステン又はタングステンシリサイドの表面又は結晶粒界内のタングステン酸化物(W oxide)を還元作用により除去する。そして、窒素は、露出されたタングステン又はタングステンシリサイドの表面を窒化してタングステン窒化物層を形成する。前記タングステン窒化物層は、異常酸化が主に生じる露出されたタングステン又はタングステンシリサイド層の表面部分に形成される。このようにして形成されたタングステンシリサイド層は、後続の酸化工程で酸化防止膜

の役割を果たす。次いで、800～1500℃の温度を維持した状態で装置内にN<sub>2</sub>/O<sub>2</sub>ガスまたはNOまたはN<sub>2</sub>Oガスを流入させて酸化工程を行う（ステップ8）。酸化工程の完了後、装置内部の温度を500～700℃に低め、N<sub>2</sub>ガスを用いたバージ工程で不純物を除去する（ステップ90）。

【0025】本発明の一実施形態による半導体素子の金属配線の形成方法は、ウェーハのローディング時に空気中に残存する酸素をバージ工程または真空ポンピング工程で除去する。そして、温度上昇行程またはアニーリング時にNH<sub>3</sub>ガスを用いて、水素はタンクステン又はタンクステンシリサイドの表面又は結晶粒界内のタンクステン酸化物を還元作用により除去し、窒素は露出されたタンクステン又はタンクステンシリサイドの表面を窒化させてタンクステン窒化物層を形成する。

#### 【0026】

【発明の効果】上述した本発明の半導体素子の金属配線の形成方法には下記のような効果がある。

【0027】請求項1、2、5の発明によれば、金属ラインのパターニング後に行われるウェーハ酸化工程を、露出されたタンクステン又はタンクステンシリサイドの表面を窒化させてタンクステン窒化物層を形成してから行うことで異常酸化を抑えられるため、金属ラインの電気的特性を向上させることができる。さらに、異常酸化を抑えてタンクステン又はタンクステン窒化物層をゲートラインとして用いる場合、ゲート酸化膜の耐圧特性を向上させる効果がある。

【0028】請求項3、4の発明によれば、NH<sub>3</sub>ガスを用いたアニーリング工程で分離された水素は、導電性

ラインの表面又は結晶粒界内の酸化物を還元作用により除去し、窒素は酸化防止膜として用いるタンクステン窒化物層を形成するので、酸化工程での異常酸化を効果的に抑制する。

【0029】請求項6、7の発明によれば、ウェーハのローディング動作時に残存する酸素及びタンクステン層に含まれる酸化物を除去し、露出された表面に酸化防止用のタンクステン窒化物層を形成するので、後続の酸化工程でタンクステン層の異常酸化を防ぐことができる。

#### 【図面の簡単な説明】

【図1】 従来技術の金属配線の形成方法の流れ図。

【図2】 従来技術の金属配線の形成方法を示す断面図。

【図3】 図2の工程に引き続き行われる工程を示す断面図。

【図4】 本発明による金属配線の形成工程の流れ図。

【図5】 本発明による金属配線の形成方法を示す断面図。

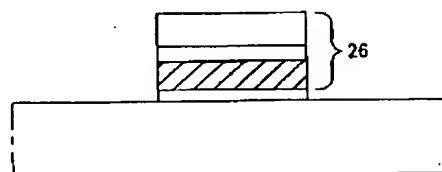
【図6】 図5の工程に引き続き行われる工程を示す断面図。

#### 【符号の説明】

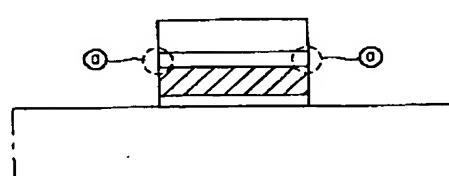
- 4 1 半導体基板
- 4 2 ゲート酸化膜
- 4 3 ポリシリコン層
- 4 4 タンクステン層
- 4 5 キャップゲート層
- 4 6 ゲート電極層
- 4 7 タンクステン窒化物層

【図3】

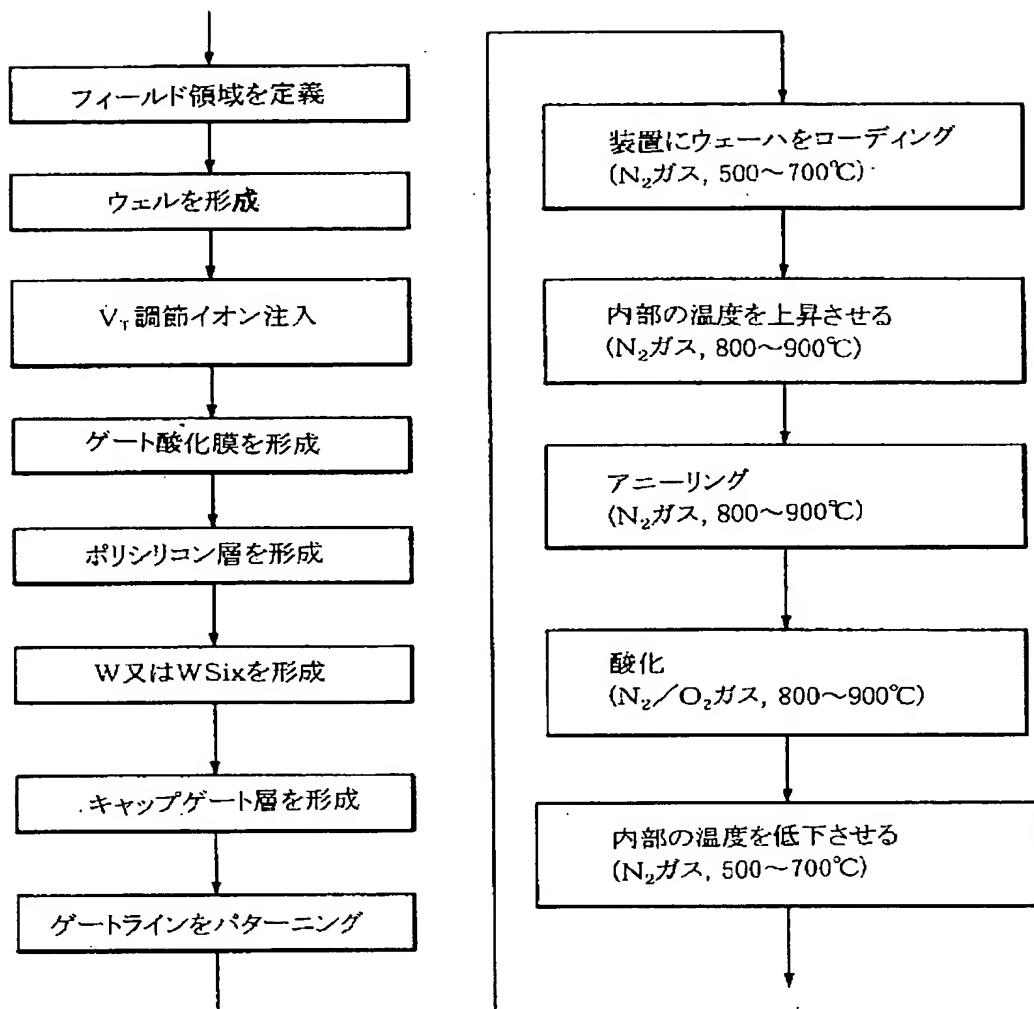
(a)



(b)

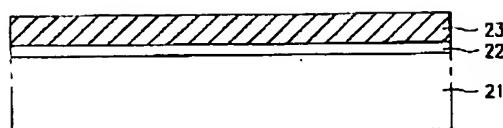


【図1】

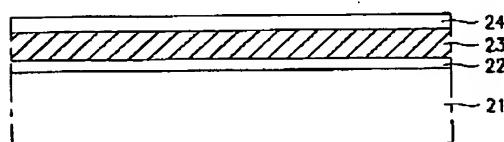


【図2】

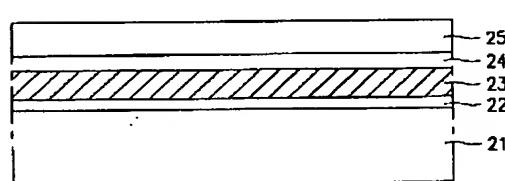
(a)



(b)

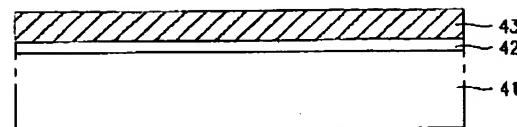


(c)

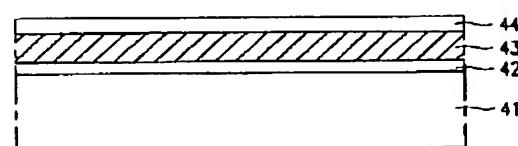


【図5】

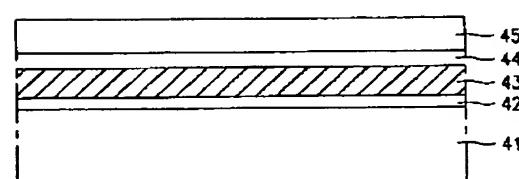
(a)



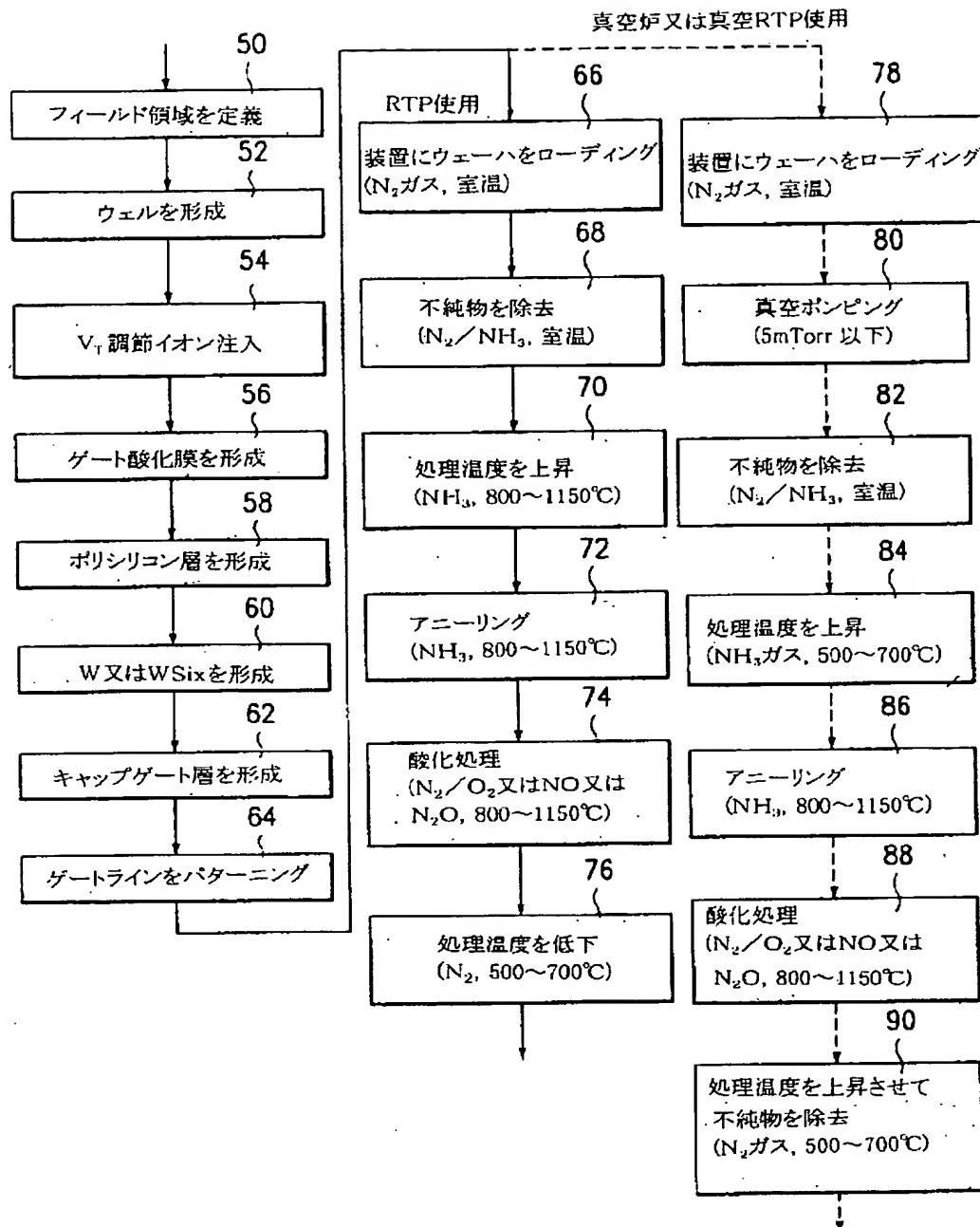
(b)



(c)



【図4】



【図6】

